

論文賞贈呈

(写真：敬称略)

論文賞（第 69 回）は、平成 23 年 10 月から平成 24 年 9 月まで本会和文論文誌・英文論文誌に発表された論文のうちから下記の 12 編を選定して贈呈した。

Four Limits in Probability and Their Roles in Source Coding

(英文論文誌 A 平成 23 年 11 月号掲載)



受賞者 古賀弘樹

喜安善市賞（第 6 回）に別掲



Implementation of Stack Data Placement and Run Time Management Using a Scratch-Pad Memory for Energy Consumption Reduction of Embedded Applications

(英文論文誌 A 平成 23 年 12 月号掲載)



受賞者 Lovic Eric Gauthier



受賞者 石原 亨

組込みプロセッサの市場は 1990 年代から急速に成長し、現代におけるスマートフォンやタブレット端末などの製品を生み出す大きな原動力となった。組込みプロセッサは、制御用マイコンに比べてはるかに性能が高い

ことに加え、パソコン向けのプロセッサに比べて大幅に消費エネルギーが小さい。消費エネルギーが小さいという特徴は、携帯機器のバッテリー駆動時間を拡大するだけでなく、チップの発熱による信頼性低下や冷却コスト増大の問題を軽減する。一方で、組込みシステムの多くは、その機能の大部分をソフトウェアによって実現するため、プログラムやデータへのアクセスに伴うメモリの消費エネルギーが、今日のプロセッサにおける大きな問題となっている。

本論文は、こうした組込みプロセッサにおけるメモリの消費エネルギー問題を軽減する手法を提案したものである。特にスタックアクセスに伴う消費エネルギーに着目し、コンパイラ最適化の立場から斬新なアプローチを提唱している。CPU のスタックアクセス回数は、全データアクセス回数のおよそ半分を占めるため、スタックアクセスのエネルギー削減はプロセッサ全体のエネルギー削減に大きく貢献する。チップ上のキャッシュメモリを利用することによりデータアクセスの消費エネルギーを削減可能であるが、キャッシュアクセスにはタグメモリや複数のキャッシュブロックへの同時アクセスを必要とするため、キャッシュメモリ自体の大きなエネルギー消費が問題となっている。著者らは、スクラッチパッドメモリ（以下 SPM）と呼ばれる小形で消費エネルギーの小さいメモリを利用し、データアクセスの消費エネルギーを削減する方法を提案した。SPM は小容量であるため消費エネルギーは小さいが、スタックデータの全てを SPM に格納することは難しい。そこで、本論文は、複数に分割したスタックフレームの断片を SPM に配置するかしないかをコンパイル時に決定する問題を整数計画問題として定式化し、SPM の利用率を最大化することによりスタックアクセスの消費エネルギーを大幅に削減することに成功した。以上のとおり、本論文は、組込みシステムの消費エネルギー問題に対する新しい解決法を与えたものであり、極めて高く評価できる。

Glitch PUF: Extracting Information from Usually Unwanted Glitches

(英文論文誌 A 平成 24 年 1 月号掲載)



受賞者 清水孝一



受賞者 鈴木大輔



受賞者 粕谷智巳

本論文は、論理回路の過渡状態に発生するグリッチを利用する新しい PUF 方式を提案したものである。暗号技術の利用に不可欠な秘密情報を安全に格納するための耐タンパ性と呼ばれる性質を、汎用 LSI 上で安価に実現可能な技術として、PUF (Physical Unclonable Function) が期待を集めている。PUF は、LSI 等の人工物が持つ複製困難な物理的特徴量に応じて、与えられた入力に対する出力を返す関数であり、各人工物に対して偽造や複製が困難な固有情報を生成可能にするものである。

現在、汎用 LSI 上で実装可能な PUF 方式は、メモリセルの特徴量を利用する SRAM PUF と呼ばれる方式と、回路遅延のばらつきを利用する Delay PUF と呼ばれる方式に二分される。Delay PUF は、固有情報の生成タイミングに制約がない点や、設計段階での性能評価が比較的容易な点が利点であるが、既存の幾つかの Delay PUF は線形モデルで表すことができ、機械学習で攻撃可能であることが知られている。そこで、それらに非線形性を導入した改良提案がなされている。一方、本論文は既存の PUF に基づかない、非線形な現象を利用した新しい Delay PUF の実現を目指し、論理回路の出力信号の過渡状態にパルスが発生するグリッチと呼ばれる現象に着目した。グリッチは、発生パターンが個々の LSI の遅延特性に依存し、かつ、入力に対して非線形な現象であることから、グリッチを利用できれば機械学習攻撃に対して安全な PUF を実現できる。

本論文は、論理回路として AES 暗号の S-box 回路を用いて固有情報の生成に十分な量のグリッチを発生させ、更に、高速な現象であるグリッチの波形を正しく捕捉できるサンプリング回路を構成して、グリッチ PUF の実現性を示した。また、ビット生成のみが必要で波形が不要であれば、トグルフリップフロップを用いた小形かつ高速な回路で実現可能であることも示した。そして、FPGA を用いた実装評価結果から、グリッチ PUF が十分な基本性能を持つことを示した。本論文は、非線形な現象を利用した新しい Delay PUF を提案し、その実現性を示した点で、理論上も実用上も意義のある、高く評価できる内容である。

FIFO キューの packets 廃棄確率に対する IS 法を用いたオンライン推定

(和文論文誌 B 平成 24 年 5 月号掲載)



受賞者 小林信裕



受賞者 中川健治

本論文では、FIFO (First-In First-Out) キューにおける非常に小さい packets 廃棄確率をインポートサンプリング (IS) シミュレーション法を利用して精度良く高速に推定する新たな方法を提案している。シミュレーションにはネットワークシミュレータ NS-2 を用いている。

NS-2 を用いて packets 廃棄確率を推定する場合、モンテカルロ (MC) シミュレーション法によるのが一般的である。しかし、推定すべき廃棄確率が非常に小さい場合、MC 法では注目する packets 廃棄事象がなかなか発生せず、シミュレーションに時間がかかり、また推定値の信頼性も低い。そこで、シミュレーションの高速化と推定精度の向上のために IS 法を適用する。IS 法は実際の確率分布と異なる確率分布を使用して小さい確率の事象をより多く発生させ、得られた値を補正して目標とする確率を得る方法である。

通常、IS 法では、packets 廃棄事象が MC 法よりも多く発生するように到着レートを上げてシミュレーションを行う。しかし、実際のネットワークにおいて、到着レートを上げてユーザトラフィックを実際と異なるものにするとはできない。そこで、本論文では、処理レートを下げてキュー長を伸ばす新たな IS 法を提案している。それによって、ユーザのトラフィックをそのまま観測して、ネットワーク側だけの処理で IS 法を実行できる。具体的には、ネットワーク側で実際の packets 処理と並行して仮想的に遅い packets 処理を行って仮想的なキュー長を伸ばす。遅い packets 処理をするのに NS-2 がイベント駆動タイプのシミュレータであることの特徴を生かして、FIFO キューへの packets 到着 (enqueue) イベントとキューからの送出 (dequeue) イベントのみを制御時点として仮想キュー長を変化させている。本論文で以下の結果が得られている。

① 処理レートを下げてキュー長を仮想的に伸ばす「オンライン IS 法」の提案とその NS-2 への実装。

② packets 廃棄確率の推定値の分散を最小にする、いわゆる最適な処理レートの理論的な決定。

その結果、ある現実的な条件の下で MC 法と比較し

て約 4,000 倍の高速化を実現している。

以上のように、本論文は実用的にも理論的にも貢献するところが大きく、論文賞としてふさわしい成果である。



Opportunistic Scheduling for Hybrid Network Coding and Cooperative Relaying Techniques in Wireless Networks

(英文論文誌 B 平成 24 年 5 月号掲載)



受賞者 単 麟



受賞者 村田英一



受賞者 Sonia Aïssa



受賞者 吉田 進

本論文は無線マルチホップネットワークを対象として、特に双方向通信の総スループットを向上させるために協力中継 (Cooperative Relaying) 及びネットワーク符号化 (Network Coding) を用いる適応的な中継技術を提案している。これは、双方向のトラフィック比やチャネル状態に応じて適応的に中継方式の選択と無線資源の割当を行うものである。

双方向のトラフィックが対称であればネットワーク符号化技術は協力中継技術の 2 倍程度のスループットを達成できる。しかし、双方向のトラフィックが非対称なときに双方向通信の総スループットが大きく低下してしまう。本論文では、無線マルチホップネットワークとして送受信局 2 ノードと中継局 1 ノードから成る 3 ノード双方向ネットワークを対象として、協力中継と X-OR (mod 2) 演算を仮定したネットワーク符号化の伝送容量について考察を行っている。その結果、双方向トラフィックが非対称であっても高いスループットが維持できるよう、向きが異なる二つの協力中継とネットワーク符号化の 3 中継方式の中から、瞬時的なチャネル状態に応じて伝送フレーム単位で最適な方式を選択する中継スケジューリ

ング法が提案されている。提案手法は、比例公平性 (proportional fairness) スケジューリング法の特徴を生かし、中継方式の選択基準及び双方向トラフィック比の制御パラメータなどに新たな工夫を導入している。また、アルゴリズムの計算量も従来方式と遜色のない効率的なスケジューリング法である。計算機シミュレーションにより、中継局の位置及び双方向トラフィック比が双方向通信の総スループットに与える影響について検討を行った結果、提案手法は非対称トラフィックに対応しつつ、従来方式より高い総スループットを達成できることが示されている。

このように本論文は、将来の無線マルチホップネットワークの展開にあたって不可欠な適応的な無線資源の割当手法について研究を行い、無線分散ネットワークの性能改善につながる有用な幾つかの知見を与えたものであり、本研究分野の更なる可能性を示している点で、当該研究分野の発展に貢献する優れた論文である。



L 字型励振素子を用いた キャビティ装荷円偏波アンテナ

(和文論文誌 B 平成 24 年 9 月号掲載)



受賞者 柳 崇



受賞者 大島 毅



受賞者 西澤一史



受賞者 深沢 徹



受賞者 宮下裕章



受賞者 小西善彦

キャビティ装荷円偏波アンテナは高利得、低サイドローブ、低軸比といった優れた放射特性を有しており、通信用、衛星搭載用アンテナとして広く用いられている。クロスダイポールを励振素子とする従来のキャビティ装荷円偏波アンテナは給電構造が複雑であり、キャビティ底面に実装する円偏波励振回路 (90° ハイブリッドや逆相励振回路) の配置に制約があるため、中心周波数以外の励振位相誤差が増大し軸比の周波数特性が劣化

するという課題があった。

本論文では、4本のL字型励振素子とキャビティからなる簡易な構成で低軸比かつ広帯域特性を有する円偏波アンテナを提案している。広帯域特性を得る工夫として、L字型励振素子の一部をキャビティの側面に近接配置させて伝送線路とし、インピーダンス変成器として動作させている。これにより、整合回路を新たに設けることなくインピーダンス広帯域化を実現している。更に、L字型励振素子がキャビティの側面近傍に配置されることから、キャビティ底面に設ける円偏波励振回路との接続性が良いという利点がある。この特長を生かし、本アンテナに用いられる円偏波励振回路では、逆相分配回路、90°ハイブリッド、各励振素子の給電点間を接続する線路が全て対称に構成されている。これにより、中心周波数以外での励振位相誤差を緩和し、軸比の広帯域化を実現している。また、L字型励振素子の水平部分から成るモノポールアンテナのアクティブインピーダンスを算出すれば、L字型励振素子の設計パラメータを容易に決定できる点も本アンテナの特徴である。

以上のように、本論文で示されたキャビティ装荷円偏波アンテナは、広帯域にわたって優れた放射特性、インピーダンス特性を有している。簡素な構造で実用上も有効であり、高く評価できる。



Low Pass Filter-Less Pulse Width Controlled PLL Using Time to Soft Thermometer Code Converter

(英文論文誌C 平成24年2月号掲載)



受賞者 名倉 徹



受賞者 浅田邦博

位相ロックループ(PLL)は、内部の動作クロックを生成する回路ブロックであり、ほとんど全てのLSIに搭載される基本回路である。PLLの特性として低ジッタが求められるが、従来のPLLにおいては低ジッタを実現するには大きな低域フィルタ面積が必要となってしまう。面積単価の高騰している微細プロセスにおける障害となっている。一方、CMOSプロセスの微細化が進むにつれ、電源電圧の低電圧化とトランジスタ速度の向上が同時に進行している。アナログ回路設計の観点からは、電源電圧の低電圧化は電圧領域での精度劣化につながり、それに対して、高速トランジスタは時間領域での精度向上につながる。すなわち、アナログ回路設計において「デジタル信号エッジの時間精度の方がアナログ信号の電圧精度よりも高くなる」というパラダイムシフトが起こっている。

本論文では、従来の電圧制御形の発振回路ではなく、時間方向のパルス幅制御形の発振回路を用いることで、パラダイムシフトに適応した小面積・低ジッタなPLLを実現している。本PLLでのパルス幅制御発振回路の内部では、パルス幅を電圧領域へのデジタル信号に変換している。従来、アナログ量をデジタル化するには必ず量子化雑音が発生するが、本回路方式では、通常のサーモメータコードによるデジタル化ではなく、0/1境界に1bitだけ電圧領域のアナログ信号を用いるソフトサーモメータコードと呼ぶ方式を考案することで、デジタル化に伴う量子化雑音を抑えて低ジッタを実現している。また、本方式を用いることによって発振回路の電圧領域での微調整が必要なくなるため、大きな面積を占有していた低域フィルタを用いる必要がなくなり、小面積でのPLLを実現している。

本論文は、プロセス微細化によるパラダイムシフトを適切に捉えることで高性能・小面積を実現しており、微細化プロセスにおけるアナログ回路設計に一つの指針を与えるものである。

High-Temperature Operation of Photonic-Crystal Lasers for On-Chip Optical Interconnection

(英文論文誌 C 平成 24 年 7 月号掲載)



受賞者 武田浩司



受賞者 佐藤具就



受賞者 磯塚孝明



受賞者 新家昭彦



受賞者 野崎謙悟



受賞者 陳 錦慧



受賞者 谷山秀昭



受賞者 納富雅也



受賞者 松尾慎治

CMOS 電子回路では、その動作速度を上げるためにスケーリング則に基づき寸法が小さくなっている。そのため、現在の CMOS では配線層における消費電力が全体の半分を占めると言われている。この配線層における消費電力を削減するために、オンチップ光インタコネクションの研究が活発に進められている。ここでチップ上の光源には 1 bit 生成するのに 10 fJ 以下といった超低消費エネルギーが求められ、かつそれは CMOS の動作温度である 80℃ 前後まで動作しなければならない。更に、チップ上の光インタコネクションには 1 Tbit/s 以上といった大容量が必要とされているため、波長分割多重 (WDM) 等の多重化技術が必須となる。

特にエネルギーの観点から、共振器及び活性層の体積を小さくしたナノ共振器レーザが注目されている。中でもフォトリソ結晶 (PhC) を用いたレーザは、垂直共振器面発光レーザ (VCSEL) と比較しても小さな共振器モード体積と、金属を用いた共振器のレーザと比較して大きな出力パワーが得られることから、オンチップ光源として期待されている。

本論文では上記の課題に対し、著者らの提案する PhC レーザを用いた成果を示している。著者らは InGaAsP 量子井戸から成る微小活性層 (体積 $0.23 \mu\text{m}^3$)

を、厚さ 250 nm の InP スラブに形成した PhC 導波路中に埋め込み、室温から 89.8℃ までの範囲において連続発振を実現し、室温において最大出力パワー $100 \mu\text{W}$ を得た。また小信号応答の評価から、室温において 11.6, また 66.2℃ において 7.0 GHz の 3 dB 帯域を実現した。PhC 格子定数を変化させた様々な素子が一括で作製されており、その発振波長は $\pm 1 \text{ nm}$ の精度で制御できていることが実験的に示されており、発振波長の温度依存性の実験データと合わせることで WDM の適用可能性が議論されている。PhC レーザの高温における動作報告は、著者らによるものが世界初である。

以上のように、本論文において著者らは独自の PhC レーザを用いた先駆的研究成果を報告している。高温における PhC レーザの動作は、それを CMOS チップ上に集積していくための大きなステップとして、高く評価される。



Low-Loss Matching Network Design for Band-Switchable Multi-Band Power Amplifier

(英文論文誌 C 平成 24 年 7 月号掲載)



受賞者 福田敦史



受賞者 古田敬幸



受賞者 岡崎浩司



受賞者 檜橋祥一



受賞者 野島俊雄

モバイル通信の大容量化及びグローバル化に対応するため、無線回路においては、複数の周波数帯 (バンド) で動作できるようなマルチバンド化が求められている。これまででは、シングルバンド無線回路を必要なバンドの数だけ用意し、並列に配置することでマルチバンド化に対応してきた。しかし、今後想定されるバンドの増加に対して同様な手法で対処する場合には、回路規模の増大が懸念される。一方、無線回路の構成要素の一つである電力増幅器 (PA: Power Amplifier) は消費電力が他の

回路部より大きいことから、特にバッテリー駆動の端末において高い電力利用効率が求められ、低損失な整合回路が必要である。しかし、モバイル通信のように対応すべきバンドが広帯域に離散している場合には、低損失かつ各バンドで整合条件を最適化する整合回路の具現化は技術的に困難であった。

著者らはこれまで、スイッチを用いて各バンドの整合回路素子を付加・分離することで、周波数特性を各バンドで最適化できる帯域切換型整合回路 (BS-MN: Band Switchable Matching Network) を提案してきた。提案構成は、各バンドでの整合条件を独立に最適化できる必要最小限の素子数で整合回路のマルチバンド化を達成するため小形である。しかし、実際には挿入損やアイソレーション特性などスイッチ特性の不完全性により BS-MN の損失が増大し、対応バンド数が制限される課題があった。本論文では、スイッチの不完全性による BS-MN の損失を解析的手法により定量化し、マルチバンド化における整合条件最適化と BS-MN の低損失化を両立する BS-MN 設計法を提案している。これにより、0.7~2.5 GHz 帯 3 段構成 4 V 動作 9 バンド PA を設計及び試作し、各バンドで 30 dB 以上の小信号利得、33 dBm 以上の出力電力、40% 以上の最大電力付加効率を達成し、シングルバンド PA と遜色ない性能を得ている。

本論文は、マルチバンド PA の実用的な設計法を示し、広帯域で多くのバンドに対応する PA の実証を通してその妥当性を確認している点で高く評価できる。また、提案設計法は需要が急激に高まっている無線回路全体のマルチバンド化への応用も期待される。



プロセッサ設計手法の現状と今後 ——高性能化を実現する設計フローと CAD システム——

(和文論文誌 D 平成 23 年 12 月号掲載)



受賞者 伊藤則之



受賞者 安永守利

本論文は、1990 年後半以降のプロセッサを対象とした文献 123 件の調査に基づくサーベイであり、高性能化を実現するための回路設計、設計フロー、CAD システムが多様な観点からまとめられている。プロセッサ設計の全体像を理解する上で価値あるサーベイとなっており、専門家はもちろん、幅広い研究者、学生にとっても最新動向や研究課題が把握できるよう工夫されている。

本論文では、CAD システムを含む設計手法が論文として公表されている、Alpha, Cell, Cell Broadband, Itanium, Itanium2, POWER4, POWER6, SH-4, SPARC, SPARCV9, SPARC64, SX-9, S/390G5/G6, UltraSPARC, UltraSPARC T1/T2, Xeon, x-86-64 core, zSeries, z900 をサーベイ対象としている。

プロセッサ設計は、アーキテクチャ設計、論理設計、回路設計、物理設計の各段階に分けることができ、各々の段階で、CAD システムをどのように実現し、どのような手順で適用するかが高性能プロセッサを実現する上での鍵となる。中心となる設計技術として、動作周波数、クロック設計技術、遅延最小化、階層設計 (ブロックサイズ、論理・物理境界)、設計フロー、カスタム設計、タイミング最適化について、詳細にまとめられている。

今後のプロセッサ設計では、半導体プロセスの更なる微細化に伴い、従来の決定的設計ではなく、製造のばらつきを考慮した統計的設計が必要となる。そして、統計的設計においては、チップ全体のタイミング歩留まりに最も影響を持つ回路部分を特定し改善することや、最大動作周波数のばらつきの約 20 倍のばらつきを持つ漏れ電流に着目し、漏れ電流を設計段階で統計的に考慮した設計が重要であることが示されている。

最後に、こうした設計を実現する CAD システムは、設計の複雑さの増大に追いついておらず、今後も高性能なプロセッサ設計を続けていくためには、世界のプロセッサ設計で適用されている設計手法に関する知見をサーベイし理解することが重要であると締めくくっている。

以上のように本論文は、プロセッサ設計の現状と今後を把握する上で、極めて高く評価できる。

小脳・マシンインタフェースによる 単一 Purkinje 細胞活動と運動学習の 因果関係直接評価法

(和文論文誌 D 平成 24 年 5 月号掲載)



受賞者 片桐和真



受賞者 田中良幸



受賞者 平田 豊

従来、前庭動眼反射の運動指令制御に小脳の Purkinje 細胞が関わることは知られていた。ただし、これまでの研究では、行動変化と神経活動変化の相関関係からしか示されていなかった。そのため、運動学習による神経活動のパターン変化を直接観察できる実験手法が望まれていた。

本論文では、金魚をモデル動物とし、単一 Purkinje 細胞の出力からブレイン・マシンインタフェースを使ってモータにより網膜誤差を生じさせるシステムを開発した。そして、金魚に利得調整の運動学習を行わせ、その過程の神経細胞出力を記録した。その結果、単一 Purkinje 細胞出力パターンが変化することでモータ制御の精度が向上し、網膜誤差を低減させることができた。このことより、Purkinje 細胞の神経活動と運動学習の関係を直接実証した。

単一の Purkinje 細胞活動のみによりモータの動きを制御し、モータ制御の適応的变化を見ることで細胞出力パターンの変化を計測する手法は、従来のシステム神経科学では不可能であった計測を実現する斬新かつ独創的なものと言える。

本論文では、金魚というモデル動物を用い、前庭動眼反射という回路と機構のよく分かっている系において、関係性を証明している。この論理はほかの動物への適用も可能であることを考えると科学への貢献度は高いと言える。また、小脳における学習機構の解明が進めば、ヒトを含む動物の感覚—運動器変換の学習の計算論を理解することができ、ロボット制御や運動障害に対する対応など様々な研究分野で有効性の高い論文と言える。

全体として非常にレベルの高い研究内容であり、従来未知であった事象を実験的に実証した素晴らしい論文である。



Hidden Conditional Neural Fields for Continuous Phoneme Speech Recognition

(英文論文誌 D 平成 24 年 8 月号掲載)



受賞者 藤井康寿



受賞者 山本一公



受賞者 中川聖一

音声認識の性能向上のためには、高精度な音響モデルの構築が極めて重要である。現在、音響モデルとしては隠れマルコフモデル (HMM: Hidden Markov Model) が利用されることが一般的であるが、近年、HMM に代わって、識別モデルを利用する手法が注目されている。その一つに Hidden Conditional Random Fields (HCRF) がある。HCRF は有望なモデルであるが、認識仮説のスコアを特徴量の重み付き線形和で計算するため、複数フレームにわたる特徴量間の非線形な関係をうまくモデル化できないという課題がある。

そこで本論文では、Multi-Layer Perceptron (MLP) で利用されるようなゲート関数を導入することで、特徴量間の非線形性の表現を可能とした HCRF の拡張手法「Hidden Conditional Neural Fields (HCNF)」を提案している。このモデルの学習手法として Hidden Boosted MMI (HB-MMI) 基準の提案を行い、更に、2 種類のモデル化手法 (2 層の HCNF によるモデル、及び、Deep Neural Network (DNN) を取り入れたモデル) の提案を行っている。

提案手法は、英語と日本語の音素認識タスクで評価され、各提案手法の有効性が十分に示されている。最終的には、DNN と HB-MMI を組み合わせて用いることにより、現在の標準的な音響モデルである triphone HMM よりも英語・日本語共に高い音素認識性能が得られることが示されている。提案はほふ芽的・挑戦的な内容であり、大語彙連続音声認識への適用などの課題も残されているが、これらの解決によって既存の HMM に代わる音響モデルとなることが大いに期待されるものである。また、様々なアイデアを精力的に取り入れ、着実な性能改善を図った上で、それぞれに対する評価実験が妥当に行われており、その貢献度を高く評価することができる。更に、提案するモデルや学習法は、音声認識のみならず、他タスクへの応用も期待されるものである。

以上より本論文は、新しい識別モデルの提唱として、その貢献を極めて高く評価することができる。