

# CMOS デバイスの微細化に伴う 特性ばらつきが増大とその対策

## 小特集編集にあたって

編集チームリーダー 石黒仁揮

1970 年ごろに 10 $\mu$ m ルールからスタートした MOS 集積回路は、ムーアの法則に従ってテクノロジースケーリングが進み、本小特集の編集時において 45nm 世代プロセスで 10 億近くのトランジスタを集積した LSI が量産されるに至っている。これまで幾度もスケーリングの限界がささやかれてきたが、その都度新たなブレークスルーが生まれデバイスの微細化が推し進められてきた。今後も 22nm 世代まではプレーナ MOSFET により、更にその先（2013 年以降）は FinFET のような立体構造の導入によりトランジスタの微細化が進むと予想されている。

メタルゲート、High-k ゲート絶縁膜といった新規プロセス技術の導入により素子微細化とともに、個々の MOSFET の動作速度は向上してきたが、しきい値等の特性ばらつきが増大し、LSI 設計に極めて深刻な影響を与え始めている。最先端のプロセスで製造した MOSFET は、その待機時漏れ電流が素子ごとに数けた変わることも珍しくない。従来の回路設計手法のままでは極端なマージンの見積もりが必要となり、今後設計が不可能になる可能性もある。新たな対策手段の実現が急務となっている。本小特集ではスケーリングに伴う特性ばらつきが増大が LSI 設計に与える影響と対策に関して、最近の研究動向を、デバイス、回路、及び設計技術の観点から概観する。

まず、第 1 章で、東京大学の平本先生、MIRAI-Selete の竹内様、西田様に、微細 MOSFET のしきい値ばらつきがどのような物理的メカニズムに起因しているかを解説して頂く。また、現状におけるばらつきの実測値と理論値との比較、及び今後のトレンドの予測とともに、将来技術として SOI 基板を用いた、ばらつかない

トランジスタ構造を紹介して頂く。

デジタル回路では、レシオ回路である SRAM がデバイスばらつきの影響を真っ先に被る。更にレシオレス回路である CMOS ロジックにおいても、従来の回路方式及び単純なコーナ条件を用いた設計手法では、LSI の性能向上が困難となる。これらの問題に対する研究として、第 2 章で、日立製作所の山岡様に SRAM の動作マージンとしきい値ばらつきの影響を説明して頂き、更に、基板バイアス等を用いたばらつき対策技術を紹介して頂く。また、第 3 章では、NEC エレクトロニクスの野村様に、論理回路において特性ばらつきが遅延や電力にどのような影響を与えるかを解説して頂き、電源・しきい値制御によるチップ間ばらつき低減技術とその効果を示して頂く。更に、第 4 章においてメソドロジーの観点から、中央大学の築山先生に、チップ間及びチップ内ばらつきを統計的に扱う SSTA (Statistical Static Timing Analysis) 設計の原理及びその効果を解説して頂く。

アナログ回路はデジタル回路よりも素子ばらつきの影響を敏感に受けるため、トリミング技術等古くから対策手段が考案されてきた。近年では、微細化とともにアナログ回路と大規模デジタル回路を混載することが可能となり、アナログ回路の特性をデジタル回路で補正する Digitally Assisted Analog 技術が活発に研究されている。第 5 章では、パナソニックの道正様に、A-D 変換器で研究されている各種デジタルキャリブレーション技術を解説して頂く。

今回の小特集により、LSI 設計者のみならず、広く一般の技術者に最先端 LSI 設計の分野における課題とその解決に向けた数々の試みを理解して頂ければ幸いです。

最後に、御多忙の中最新の研究内容を分かりやすく解説して頂いた執筆者の皆様、編集に御尽力頂いた小特集編集チームの皆様、並びに会誌編集担当の学会事務局の皆様へ厚く御礼申し上げます。

小特集編集チーム 石黒仁揮 安藤 淳 板谷太郎 鈴木康之