

国際半導体技術ロードマップから見た CMOS 技術動向

Trends in CMOS Technology Based on ITRS 2011 Edition

石内秀美



ITRS (国際半導体技術ロードマップ) は、世界 5 極 (欧州, 日本, 韓国, 台湾, 米国) の半導体工業会 (ESIA, JEITA, KSIA, TSIA, SIA) がスポンサーとなって、将来 15 年にわたる半導体技術動向とそれを実現するための技術課題をそれぞれの分野の専門家がまとめたものである。ITRS の 2011 年版 (最新版) から見た CMOS 技術のトレンドを紹介する。素子寸法の微細化を続けるためにリソグラフィーをはじめとするプロセス技術の進展が必要である。また、微細化だけでなく、多様化 (More than Moore) も進む。シリコン CMOS 技術を超えて新しい原理の素子の提案と研究開発が活発に行われている。

キーワード：半導体集積回路, CMOS 技術, ITRS (国際半導体技術ロードマップ)

1. はじめに

ITRS (International Technology Roadmap for Semiconductors, 国際半導体技術ロードマップ) は、欧州, 日本, 韓国, 台湾, 米国の世界 5 極の専門家が半導体技術のロードマップをまとめたものである。日本では、一般社団法人電子情報技術産業協会 (JEITA) に半導体技術ロードマップ専門委員会 (STRJ) が設置されており、そこでの議論と検討結果は ITRS の編集に反映されている。

半導体技術の急速な進歩に対応するため、ITRS は奇数年の年末に全面書き下ろし版を公表し、偶数年の年末に、部分改訂版 (改訂部分のみをまとめた資料) を公表している。ITRS 2011 年版 (ITRS 2011 Edition) は 2012 年 1 月に Web 上で公開された。ITRS または STRJ の Web サイトを参照されたい^{(1), (2)}。ITRS は技術分野ごとに複数の章に分かれており、それぞれの章については、本文と表が電子ファイルとして公開されている。

る。

なお、この原稿執筆時点で、ITRS 2011 年版のうち「アセンブリとパッケージング」の章は未公開となっているが、近日中に公開の見込みである。

2. 微細化トレンド

ITRS ロードマップは、「ムーアの法則 (1 チップ当りの集積度は約 2 年ごとに 2 倍になるという経験則) を維持するために産業界はどのような技術的能力を必要としているか」という観点から編集されている。したがって、ITRS は、「技術予測」を本来の目的としたものではない。しかしながら、ITRS ロードマップは企業や研究機関の研究開発計画策定時に参照されるようになり、技術開発のペースメーカーとしても広く利用されるようになってきている。

ITRS 2011 年版では、NAND 形フラッシュメモリの微細化トレンドは、2009 年版に比べ約 2 年前倒しとなった。NAND 形フラッシュメモリの微細化は、少なくとも 2022 年までは続くが、それ以上の微細化ができるかどうかについては、専門家間で意見が分かれる。ITRS 2011 年版では、NAND 形フラッシュメモリの微細化限界は、8 nm と想定している。微細化限界に達する前に、メモリの三次元化により、集積度を向上させる

石内秀美 (株) 東芝 セミコンダクター & ストレージ社
E-mail hidemi.ishiuchi@toshiba.co.jp
Hidemi ISHIUCHI, Nonmember (Semiconductor & Storage Products Company, Toshiba Corporation, Tokyo, 105-8001 Japan)
電子情報通信学会誌 Vol.95 No.11 pp.954-959 2012 年 11 月
©電子情報通信学会 2012

技術開発が期待されている。DRAMの微細化トレンドについて2009年版と比べ、約1年の前倒しとしている。MPU（マイクロプロセッサ）の最下層の金属配線層（Metal 1、または、M1と称する）はDRAMの微細化ペースとほとんど同じである。概要を表1、図1、2に示す。

MPU/ASICなどの論理集積回路のテクノロジーノード呼称については、各社のプレスリリースや学会発表で使われているもの（仮に、「ロジックノード」と呼ぶことにする）が今までのITRSの定義と異なっていたが、両者共「ノード」という表現を使っていたため、混乱を与えていた。ITRS 2005年版以降、「テクノロジーノード」という言葉を使わないことにした。ITRS 2011年版でもこれを踏襲している。「ロジックノード」との混同

が軽減されることを期待している。

ハーフピッチは図3のように定義されている。ITRS 2011年版でも以前の定義を踏襲している。NAND形フラッシュメモリにおいては、セルアレー内でのpoly-Siのワード線のハーフピッチが重要であり、これをハーフピッチの定義としている。

図4に示すように、先行2社の生産数量が月産1万個を超えた年として、生産開始年を定義している。これは従来の定義と同じである。最近、半導体集積回路のチップメーカーで採用される技術が、メーカーごとに異なる傾向にあり、この定義の妥当性について、ITRS内でも議論されている。将来、定義が改訂される可能性がある。

ITRSの各種の表は生産開始年ベースで作成してい

表1 ITRS2009年版と2011年版の微細化トレンド比較 (ITRS2009 Edition and ITRS 2011Edition, Executive Summary, Table B)

生産開始年	2009	2010	2011	2012	2013	2014	2015	2016
フラッシュメモリのハーフピッチ (コンタクトホールのない poly-Si 層) (nm) 2009年版	38	32	28	25	23	20	18	15.9
フラッシュメモリのハーフピッチ (コンタクトホールのない poly-Si 層) (nm) 2011年版	N/A	N/A	22	20	18	17	15	14.2
DRAMのハーフピッチ (コンタクトホール付の最下層金属配線層 (M1)) (nm) 2009年版	52	45	40	36	32	28	25	22.5
DRAMのハーフピッチ (コンタクトホール付の最下層金属配線層 (M1)) (nm) 2011年版	N/A	N/A	36	32	28	25	23	20.0
生産開始年	2017	2018	2019	2020	2021	2022	2023	2024
フラッシュメモリのハーフピッチ (コンタクトホールのない poly-Si 層) (nm) 2009年版	14.2	12.6	11.3	10.0	8.9	8.0	7.1	6.3
フラッシュメモリのハーフピッチ (コンタクトホールのない poly-Si 層) (nm) 2011年版	13.0	11.9	10.9	10.0	8.9	8.0	8.0	8.0
DRAMのハーフピッチ (コンタクトホール付の最下層金属配線層 (M1)) (nm) 2009年版	20.0	17.9	15.9	14.2	12.6	11.3	10.0	8.9
DRAMのハーフピッチ (コンタクトホール付の最下層金属配線層 (M1)) (nm) 2011年版	17.9	15.9	14.2	12.6	11.3	10.0	8.9	8.0

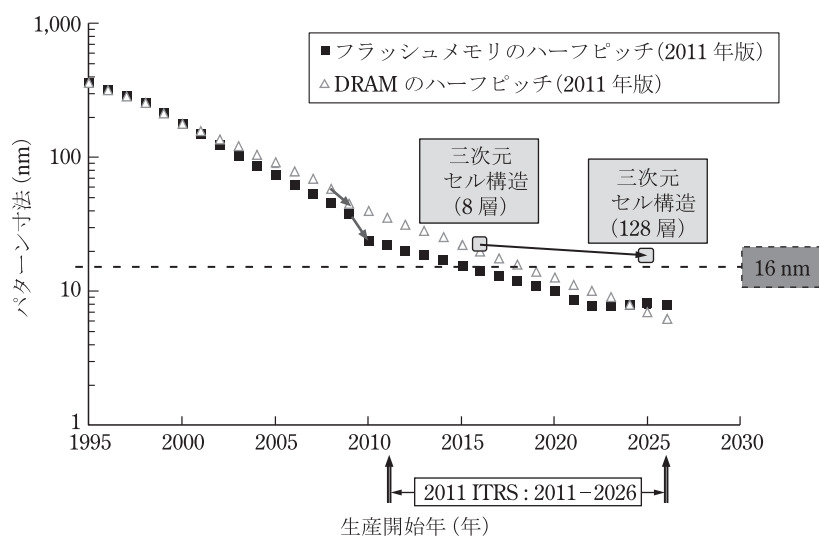


図1 DRAMとフラッシュメモリの微細化トレンド (ITRS 2011 Edition, Fig. ORTC3)

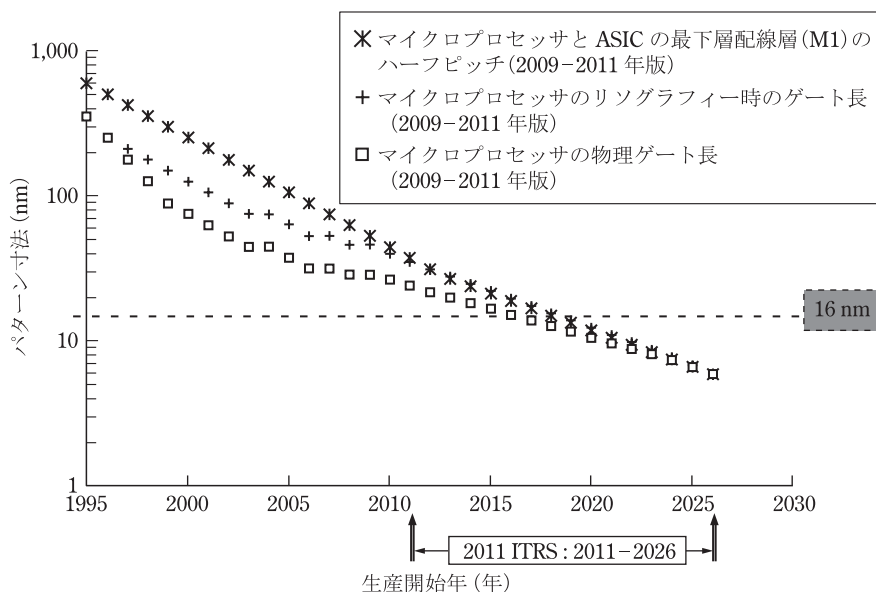


図2 マイクロプロセッサと高性能ロジックの微細化トレンド (ITRS 2011 Edition, Fig. ORTC4)

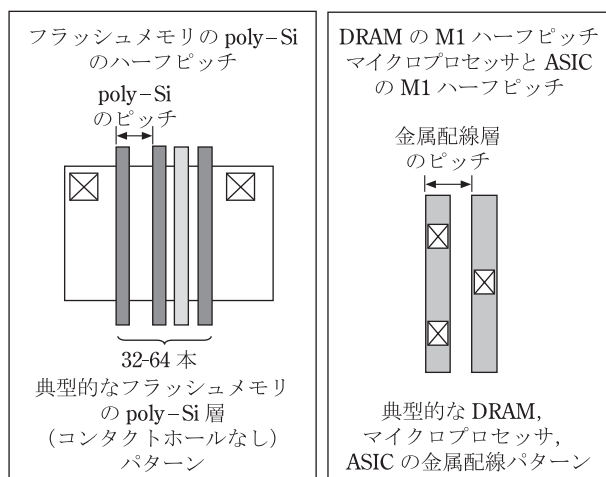


図3 ITRS におけるハーフピッチの定義 (ITRS 2011 Edition, Executive Summary, Fig. 1)

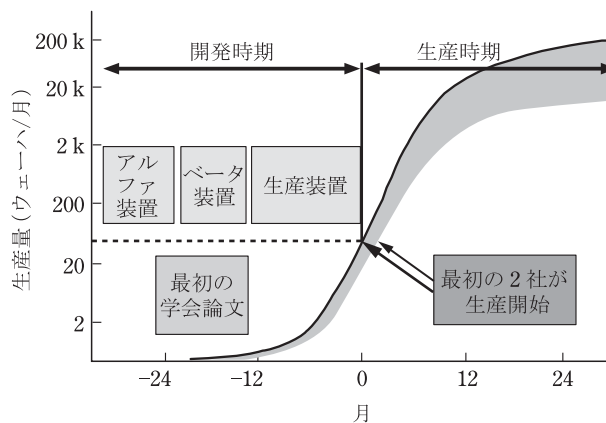


図4 ITRS における生産開始年の定義 (ITRS 2011 Edition, Executive Summary, Fig. 2)

る。新世代の半導体集積回路開発のためには、生産開始年以前に、試作のための製造装置が必要となる。また、量産開始年の2年程度前から、新世代の半導体集積回路の試作結果が学会などで発表され始めるが、これはITRSの表と矛盾するものではない。これも従来の定義と同じである。

3. 微細化 (More Moore), 機能的多様化 (More than Moore), と CMOS を超える技術 (Beyond CMOS)

ITRS では半導体技術の新たな発展を、微細化の推進 (More Moore) のほかに、多様化 (More than Moore),

CMOS を超えるデバイス (Beyond CMOS) の三つのカテゴリーに分類している。図5を参照されたい。

3.1 微細化 (More Moore)

ITRS では単なる微細化だけでなく、素子構造や、設計の工夫による集積度と性能の向上も“More Moore”と捉え、以下の三つに細分している。

- 幾何学的微細化 (電界一定の微細化, Geometrical (constant field) Scaling) は、チップ上のロジックとメモリの平面的 (シリコン基板の表面方向), 垂直的 (シリコン基板表面に垂直方向) 物理的寸法を縮小し続けることにより、素子密度を向上させることで機能当りのコストを削減し、性能 (速度と消費電力), 信頼性を半導体応用機器

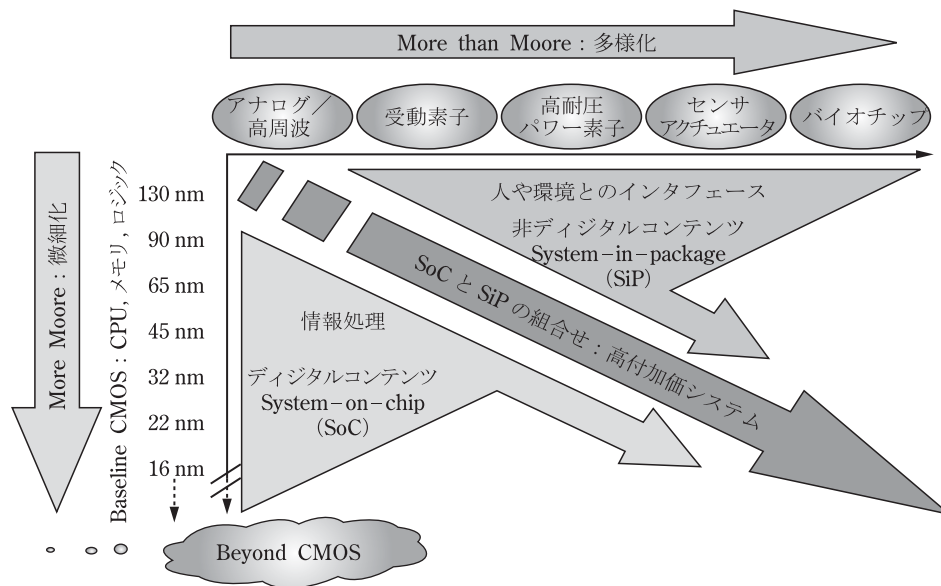


図5 “More Moore”, “More than Moore”, “Beyond CMOS” (ITRS 2011 Edition, Executive Summary, Fig. 5)

や最終顧客にもたらすことを指す。

- 等価的微細化 (Equivalent Scaling) は、幾何学的微細化とともに使われ、幾何学的微細化を可能にする以下のような技術手段を指す。三次元的な素子構造にメモリセルの平面積を小さくすること、新規材料新規プロセスを導入すること。
- 設計による等価的微細化 (Design Equivalent Scaling) は、(上記の幾何学的微細化と等価的微細化とともに起こる) 高性能、低消費電力、高信頼性、低コスト、効率向上を可能にする設計技術を指す。

3.2 機能的多様化 (More than Moore)

機能的多様化は必ずしもムーアの法則による微細化に従うことなく、異なる方法で最終顧客に付加価値を提供する機能をデバイスに組み込むことを指す。非デジタル機能 (例えば、無線通信、電力制御、受動素子、センサ、アクチュエータなど) をシステム基板レベルから特定のパッケージレベル (SiP) やチップレベル (SoC) の実装方法に移行させることができる。

3.3 Beyond CMOS

新探究デバイス (ERD: Emerging Research Devices) と新探究材料 (ERM: Emerging Research Materials) の両ワーキンググループは情報処理を行うための「新しいスイッチ」に注目している。典型的には、新しい状態変数を利用することにより、CMOS を超えて機能的に実質的微細化を実現しようとするものである。

4. 新探究デバイスと材料 (ERD)

ITRS の ERD ワーキンググループではロジックの論理素子に使われる新探究デバイスの候補として、有望技術の絞り込みを行い、Carbon-based Nanoelectronics が将来有望とされている。この技術は、カーボンナノチューブやグラフェンを MOSFET のチャネル部に適用するものである。この内容は ITRS 2009 年版に反映され、2011 年版でも踏襲されている。

ITRS では新探究メモリの候補についても議論を進めている。抵抗変化によって、不揮発性メモリを実現する技術が有力視されている。

5. 450 mm ウェーハでの生産

ITRS では 450 nm 直径のシリコンウェーハの導入時期について議論を続けてきた。ITRS 2009 年版では、図 6 に示すように、2012 年から 2014 年にかけて、450 mm ウェーハ対応の製造装置を導入したパイロットラインの整備が進み、2014 年から 2016 年にかけて 450 mm ウェーハを用いた量産が可能になるとしている。

6. リソグラフィ

ITRS 2011 年版では、DRAM/MPU (マイクロプロセッサ) と NAND 形フラッシュメモリのそれぞれに対して、リソグラフィのツールの候補を記載している。

DRAM の最下層金属配線層 (M1) のハーフピッチは 2012 年に 32 nm に達し、この世代では、ArF 液浸リソグラフィ技術とダブルパターンング (DP) の組合せ

を技術候補としている。2015年に22 nmのハーフピッチのパターンを形成するために、EUV (Extreme Ultra Violet) リソグラフィーが使われるとしている。EUV光の波長は13.6 nmである。

フラッシュメモリでは、DRAMに比べ、約3年先行して微細化が進んでいて、既にダブルパターニング技術が使われている。このため、フラッシュメモリがリソグラフィーと加工技術の推進役 (Driver) となっている。

図7にDRAM/MPUのリソグラフィーツール候補を、図8にフラッシュメモリのリソグラフィーツール候補を示した。

ダブルパターニング技術を使うことにより、リソグラフィーで形成したレジストパターンのハーフピッチに対して、更に半分のハーフピッチのパターンを形成できる。ダブルパターニングのプロセスを2回繰り返すことにより、元のパターンの1/4のハーフピッチのパターン

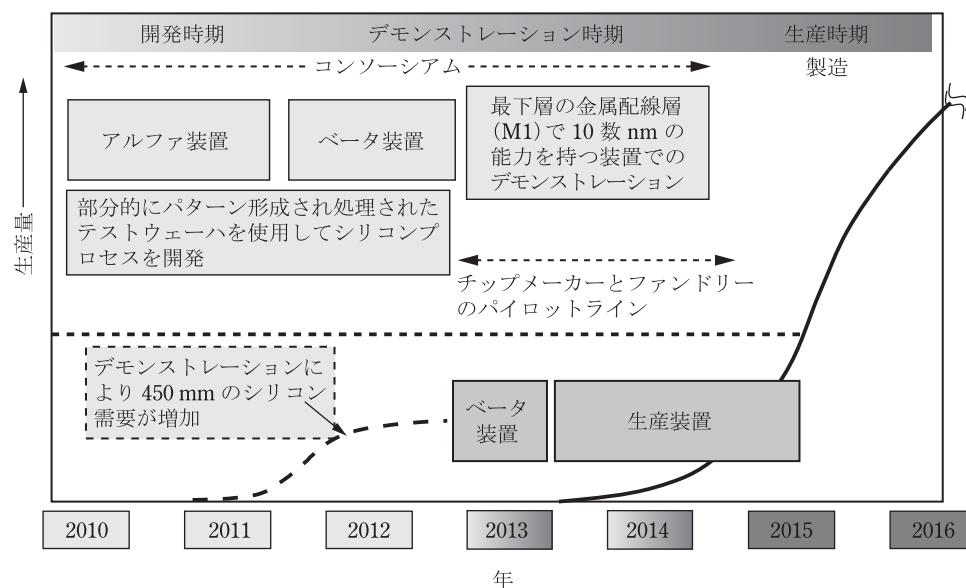


図6 450 mm ウェーハでの生産立ち上げの見込み (ITRS 2011 Edition, Executive Summary, Fig. 6)

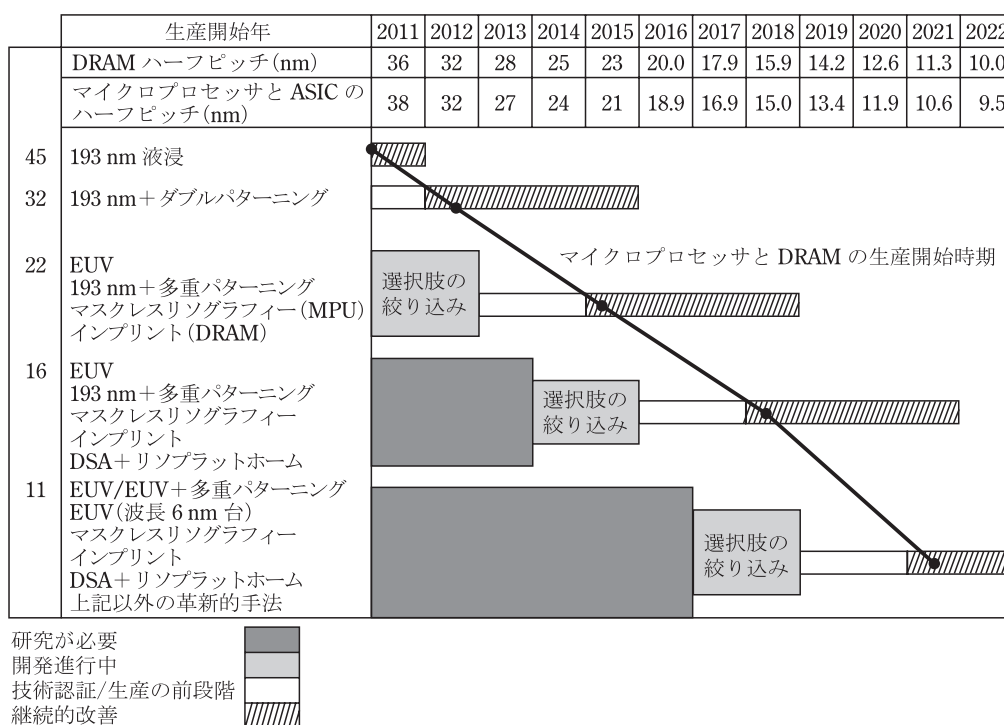


図7 DRAM と MPU のリソグラフィーツール (ITRS 2011 Edition, Fig. LITH3A)

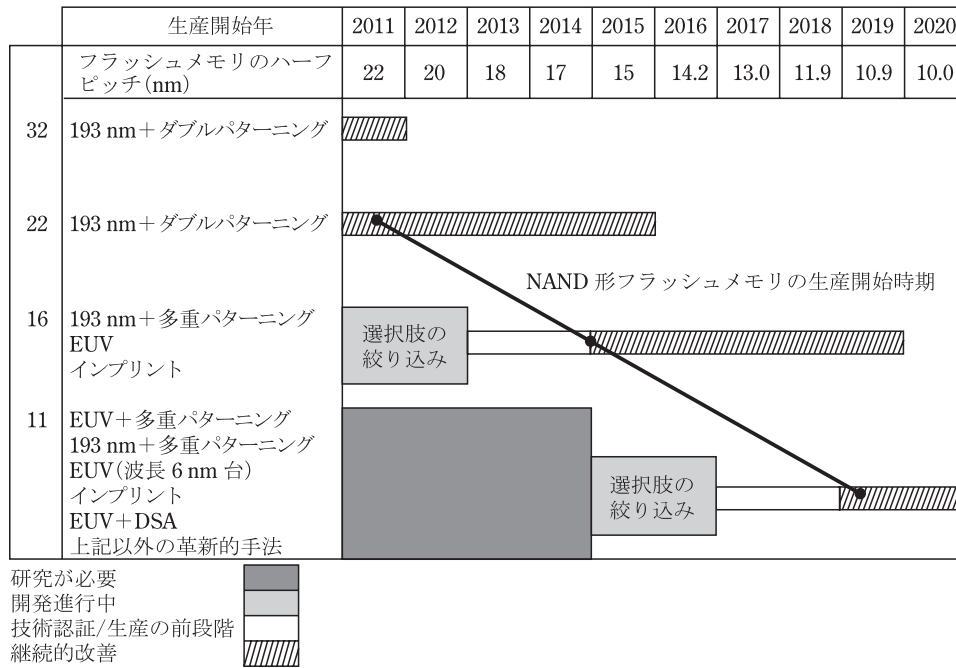


図 8 NAND 形フラッシュメモリ用のリソグラフィーツール (ITRS 2011 Edition, Fig. LITH3B)

を形成できる。しかしながら、この工程は複雑である。EUV リソグラフィーは、光源のパワーなど解決すべき課題がまだ残っており、集積回路の大量生産用のリソグラフィー技術としては、まだ実用化されていない。

7. MEMS

ITRS 2011 年版では MEMS (Micro Electro Mechanical System) の章を新たに書き下ろした。MEMS 技術は多岐にわたるため、その全貌を網羅するのは容易ではない。今回の版では、スマートフォンやタブレット端末など (Mobile Internet Devices) に焦点を当て、そこに使われる MEMS について記述している。MEMS 技術によって、加速度センサ、角速度センサ、マイクロホンなどの多様な機能を実現できる。“More than Moore” の典型的な例でもある。

8. ま と め

ITRS 2011 年版では多くの表を改訂し、より現実を反映したものとなった。半導体技術に関わる多くの方に活用されることを期待している。

文 献

- (1) ITRS ホームページ, <http://www.itrs.net/>
- (2) JEITA/STRJ ホームページ, <http://strj-jeita.elisasp.net/strj/index.htm>

(平成 24 年 5 月 31 日受付)



いしうち ひでみ
石内 秀美

昭 53 東大・理・物理卒、昭 55 同大学院修士課程了。同年東京芝浦電気株式会社 (現在は (株) 東芝) 入社。以来、DRAM をはじめとする集積回路の研究開発に従事。現在、同社セミコンダクター&ストレージ社統括技師長。一般社団法人電子情報技術産業協会 (JEITA) 半導体技術ロードマップ専門委員会 (STRJ) 委員長。