

システム LSI における プロセッサ技術

Processor Technologies for System LSI's

内山邦男

Abstract

最近の民生機器のデジタルコンバージェンス化を支えるために、システム LSI には高性能と低消費電力の両立が求められている。一方、LSI 技術は微細化によるトランジスタの漏れ電流増大の問題で高速化による性能向上が難しくなりつつある。このため、高い集積度を生かしてチップ上で効率の良い並列処理を実現するヘテロジニアスマルチコア技術が開発されつつある。本稿では、この技術の構成要素となるプロセッサコアの動向について解説し、ヘテロジニアスマルチコア LSI のハードウェア及びソフトウェア技術について概観する。

キーワード：システム LSI, SoC, プロセッサ, マルチコア, ヘテロジニアスマルチコア, 並列処理, デジタルコンバージェンス

1. はじめに

1990年代は民生機器のデジタル化により組み込み型 RISC (Reduced Instruction Set Computer) プロセッサの市場が大きく伸びた時代であった。この組み込み型 RISC は従来の制御用マイコンに比べてはるかに高い性能を持ち、また当時のワークステーションやパソコン向けに開発されたマイクロプロセッサに比べて大幅に消費電力を削減していた (図 1)^{(1),(2)}。この新しい設計思想を持つ RISC プロセッサは、デジタルカメラ、家庭用ゲーム機、デジタルテレビ、カーナビ、携帯電話などデジタル民生機器の中核部品として搭載され、機器の高機能化に大きく貢献してきた。最近ではスマートフォン、タブレット端末など、新しい形態の製品を生み出す原動力になっている。

このデジタル化の中で生まれた言葉が「デジタルコンバージェンス」であり (図 2)⁽³⁾、最近の携帯電話がそのいい例である。一つの機器で、電話、プレーヤ、カメラ、テレビ、インターネット端末を兼ねることができる。これを実現するためには、携帯電話に内蔵されるシステム LSI で、音声やデータの通信機能のほかにパ

ソコンと同様の情報処理、MPEG-4, H. 264 などの動画フォーマットや MP3, AAC (Advanced Audio Coding) などのオーディオフォーマットの圧縮・伸張などマルチメディア処理の実行が必要となる。最近のデジタルテレビでは、サッカーの試合のゴールシーンだけを抽出してダイジェスト版を自動作成する認識機能を持つものもある。本稿では、このようにデジタルコンバージェンス化する民生機器の中核部品として内蔵され、多様な機能を実現するシステム LSI (最近では System-on-a-Chip の略として SoC とも呼ばれる) のプロセッサ技術について解説する。

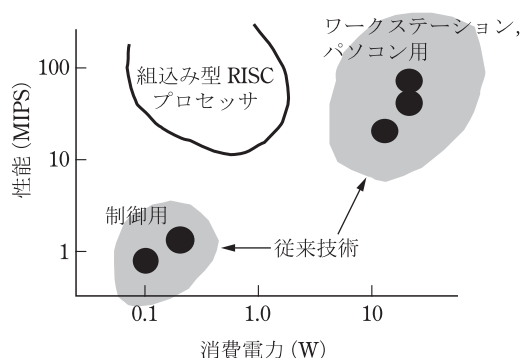


図 1 組み込み型 RISC プロセッサの位置付け (1990 年代初頭) 組み込み型 RISC は従来の制御用やワークステーション・パソコン用マイクロプロセッサが対応できない新しい分野を狙って登場した。

内山邦男 正員：フェロー (株)日立製作所 研究開発本部
E-mail kunio.uchiyama.xh@hitachi.com
Kunio UCHIYAMA, Fellow (Research & Development Group, Hitachi, Ltd., Tokyo, 100-8220 Japan).
電子情報通信学会誌 Vol.95 No.7 pp.582-588 2012 年 7 月
©電子情報通信学会 2012

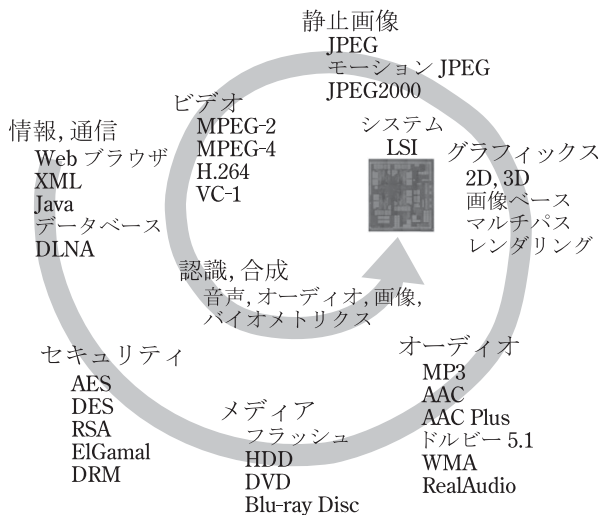


図2 デジタルコンバーゼンス 最近の民生機器では1台に、情報・通信機能、各種マルチメディア機能、認識機能などが集約される傾向にある。機器に内蔵されるシステム LSI は多様な機能を1チップで実現する必要がある。

2. プロセッサコアの動向

2.1 プロセッサコアの多様化

民生機器のデジタルコンバーゼンス化を実現するためには低消費電力で多様な応用を高速に実行できるシステム LSI が必要である。これを実現するプロセッサコアは 1990 年代初頭に登場した組込み型 RISC 技術をベースとする CPU コアである。ただ、この汎用のプロセッサコアだけでは、高い演算能力や特別な機能を低電力であるいは小面積で効率良く実現するのが難しい場合も多い。図3はデジタルコンバーゼンスの性能要求の一例を示している^{(4),(5)}。これでも分かるように 10~100 GOPS (Giga Operations Per Second) クラスの性能が必要な応用は幾らでも存在し、これを CPU コアだけ

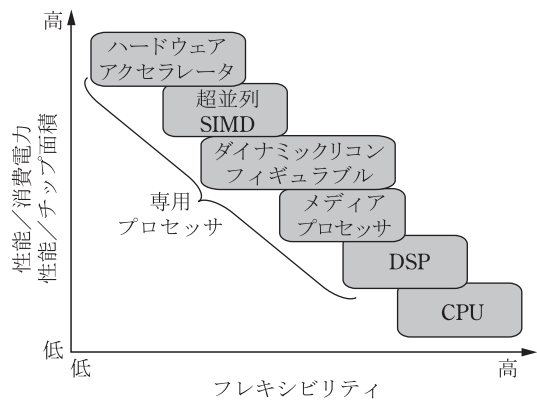


図4 多様なプロセッサコア システム LSI の機能を低コストで実現するためにフレキシビリティと電力・面積効率の観点から多様なプロセッサコアが開発されている。

で実現することは効率的でない。

これを補うために図4に示すようにある程度汎用性を犠牲にしても、高性能と低電力を追求した専用プロセッサコアの開発が行われている。デジタルコンバーゼンスを実現するシステム LSI では、これらの CPU コアと専用プロセッサコアを複数個チップ上に搭載し、機能に応じてそれらを使い分けるマルチコア構成が主流となっている。以下に、そのコンポーネントとなる各プロセッサコアの技術動向について述べる。

2.2 CPU コア

図5にモバイル型民生機器に搭載される CPU コアの動作周波数と性能についてこの 10 年の推移を示す^{(6),(7)}。2001 年に 100 MHz, 100 DMIPS (Dhrystone Million Instructions Per Second) 程度だったものが、最近では 2GHz, 5,000 DMIPS に近づいている。図6にモバイル型の代表機器である携帯電話に搭載されていた

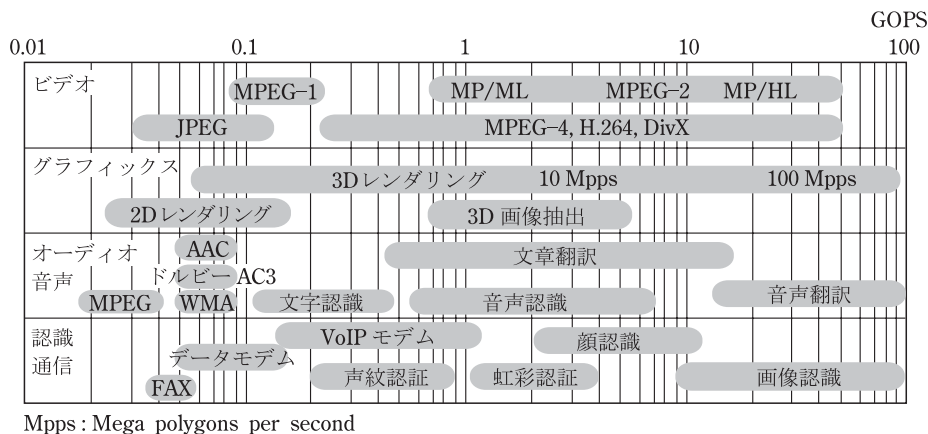


図3 デジタルコンバーゼンスの性能要求 デジタルコンバーゼンス化に対応するためには高い GOPS 値を実現できるプロセッサコアが必要となる。

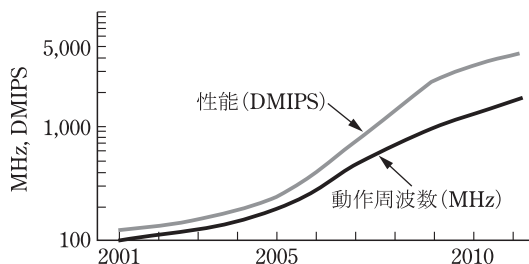


図5 CPUコアの動作周波数と性能の推移 モバイル型民生機器に搭載される組み込み型RISCをベースとしたCPUコアの動作周波数と性能はこの10年で10倍以上に高速化されてきた。

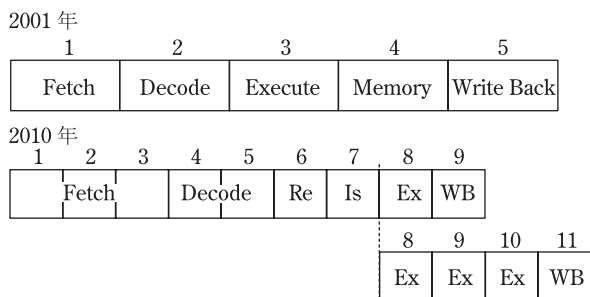


図6 CPUコアのパイプライン段数の比較 パイプラインの段数は2001年当時の5段から2010年には9~11段と増加している。

CPUコアのパイプライン構成を示す。2001年当時のものはRISCプロセッサを実装するときの基本的な5段のパイプラインを採り、命令の並列実行手法であるスーパスカラ方式は採っていない。これが2010年になるとパイプライン段数が9~11段に増え、2命令同時デコード、複数命令同時発行、Out-of-orderのスーパスカラ方式を採用までになっている。分岐予測機構やSIMD命令の実装など、最近のパソコン用のプロセッサに比べて遜色のない方式が採用されている。このCPUコアを45nm技術で実装し、単体のCPUコアで動作周波数1.8GHzで性能4,500DMIPSを達成するシステムLSI製品が2011年に報告されている⁽⁸⁾。

上記、2011年のCPUコアは40nm技術で実装した場合、一次キャッシュを含めても3.4mm²程度の面積であると報告されている。この大きさはシステムLSI全体の面積を考えると小さな割合しか占めず、必然的に複数のCPUコアを搭載して並列処理により性能を向上させようということになる。このため、最近のCPUコアは多重プロセッシングの支援機構を内蔵するケースが多い。この例として複数のCPUコア間のキャッシュコヒーレンシー制御を行う機構を図7に示す⁽⁹⁾。各CPUコアのキャッシュの状態を保持するタグ情報を持つスヌープ機構が、キャッシュへのアクセス状況を常時監視する。例えば、CPUコア#0が自身のキャッシュに格納されたデータを更新するとき、その書込みアドレス

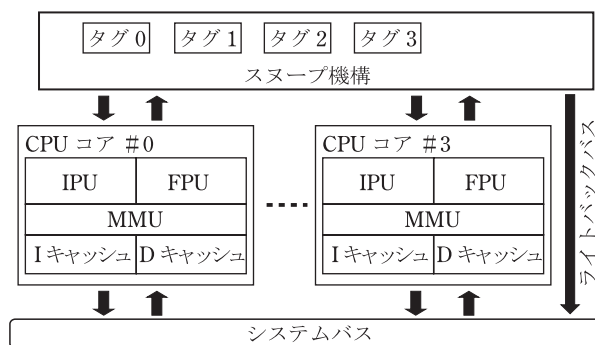


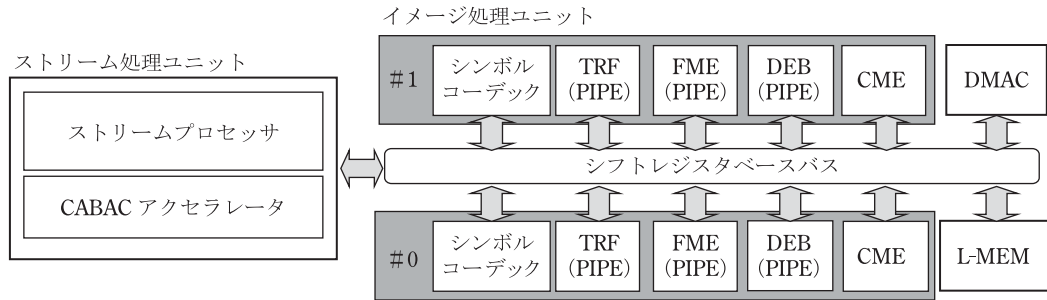
図7 多重プロセッシング支援機構 各キャッシュのタグ情報を内蔵するスヌープ機構によりキャッシュコヒーレンシー制御を自動的に行う。

をスヌープ機構内のタグ1~3が監視して、CPUコア#1~#3のキャッシュに対応するデータが存在すればそれを無効化する。このようにして、各キャッシュ間のデータ一致制御を自動的に効率良く行っている。

2.3 ハードウェアアクセラレータ

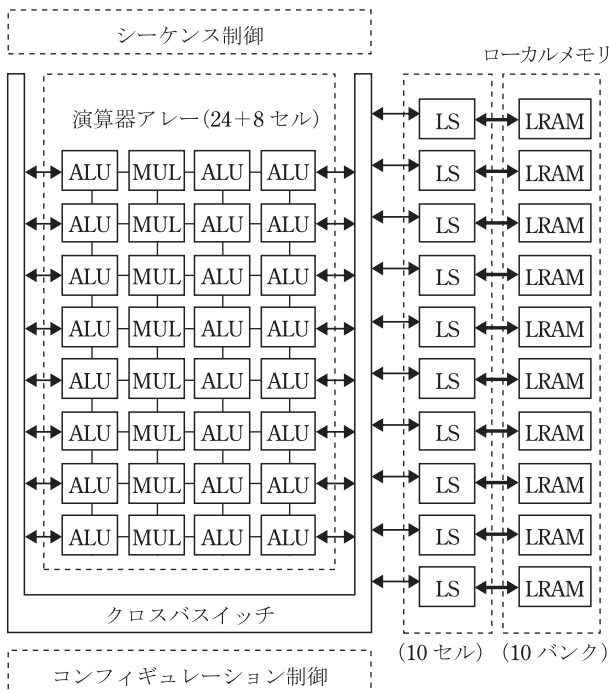
前節で述べたようにCPUコアの性能はこの10年で大幅に向上している。しかし、デジタルコンバージョンの性能要求はそれをはるかに上回っている。このギャップを埋めるために機能を限定したハードウェアアクセラレータが開発されている。すなわち、グラフィックス、画像、オーディオ処理などの応用に特化して、それを高速に低電力かつ小面積で実行する専用プロセッサコアである。図8に動画の圧縮・伸張を行うハードウェアアクセラレータの例を示す⁽¹⁰⁾。この画像コーデック(CODEC: Coding and Decoding)コアは、動画の圧縮・伸張に特化したアーキテクチャを持つが、H.264, MPEG-2, MPEG-4, VC-1の4種類の規格に対応できる柔軟性を持っている。内部は2種類、3個のプロセッシングユニット(ストリーム処理ユニット、イメージ処理ユニット#0~#1)を持ち、動画の圧縮あるいは伸張における各処理ステージをフレーム単位やマクロブロック単位でパイプライン的に処理することにより、高い並列処理を実現している。このコアは45nm CMOS技術で実装され、162MHzで動作し、フルHD(1,920×1,080)H.264規格の動画圧縮を95mW、伸張を162mWで実現している。これをCPUコアで実行すると200~300倍の消費電力になると予想される。

以上のように、ハードウェアアクセラレータは、規格化されたアルゴリズムを極めて効率良く実行するには必要なコアである。上述のコアは動画のケースであるが、グラフィックス、オーディオ、静止画像、暗号などの分野にも、規格化あるいは標準化された処理があり、これを極めて高いエネルギー効率で処理するハードウェアアクセラレータが提案されている。



PIPE: Programmable Image Processing Element
 TRF: Transformer, FME: Fine Motion Estimator/compensator, DEB: De-blocking filter
 CME: Coarse Motion Estimator, L-MEM: Line memory
 CABAC: Context-based Adaptive Binary Arithmetic Coding

図8 画像コーデックコア 2種類、3個の処理ユニット（ストリーム処理ユニット、イメージ処理ユニット#0～#1）を持ち、動画の圧縮あるいは伸張における各処理ステージをフレーム単位やマクロブロック単位にパイプライン的に処理することにより、高い並列処理を実現する。



ALU: 16-bit ALU cell, MUL: 16-bit Multiplier cell
 LS: Load/store cell, LRAM: Local RAM bank(4 kByte, 2-Port)

図9 Flexible Engine 動的再構成プロセッサの一種で、32個の演算器の機能と接続関係を動的に変えることにより、様々なアルゴリズムを高速に実行する。

2.4 多重演算コア

ハードウェアアクセラレータは規格化されたアルゴリズムを高速に効率良く実行できるが、融通性に欠ける。画像やオーディオの認識などでは、その処理に大規模な演算が含まれ、また、その計算アルゴリズムも認識率を上げるために日々発展する可能性がある。このような演算リッチで規格化されない応用を柔軟に効率良く扱うことを目的とした専用プロセッサコアも開発されている。

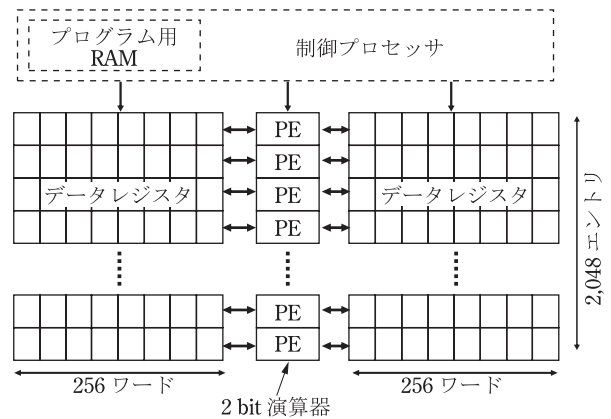


図10 Matrix Engine 2 bitの演算器を2,048並列で動作させることにより、高い演算性能を実現するSIMD型プロセッサ。

その例として、図9にFlexible Engine (FE) と呼ばれている動的再構成プロセッサを示す⁽¹¹⁾。24個の算術論理演算セル (ALU) と8個の乗算セル (MUL) から成る二次元演算アレーで32並列の16bit演算が可能で、演算データは40 kByteのローカルメモリ (LRAM) に格納される。LRAMと演算アレーはアドレス生成用セル (LS) を介して、クロスバスイッチで接続される。各演算セルの機能とセル間の接続をアルゴリズムの実行に最適になるよう動的に変えることが可能である。FIRフィルタ、フーリエ変換、離散コサイン変換、3.2で紹介するオプティカルフロー抽出など、演算を多用するアルゴリズムの高速化に適用される。

図10はMatrix Engine (MX) と呼ばれる高多重SIMD (Single Instruction Stream, Multiple Data Stream) 型プロセッサの例である⁽¹²⁾。こちらは2bit幅の演算器 (PE) により2,048並列の演算が可能となる。MIMD (Multiple Instruction Stream, Multiple Data Stream) 型のFEと違い、SIMD型であるために同時に

動作する PE の演算は全て同じとなるが、極めて高い並列性を引き出せるために画像処理などのアルゴリズム高速化に適している。

3. ヘテロジニアスマルチコア技術

3.1 最近のシステム LSI 構成

図 11 にデジタルコンバージェンスを支える最近のシステム LSI におけるプロセッサ構成の例を示す⁽¹³⁾。このシステム LSI は最近急速に市場が拡大しているスマートフォンやタブレット端末向けに 45 nm 技術を用いて開発されたものである。汎用コアとしては、1~1.8 GHz で動作可能な高速 CPU コア (CPU-A) と低電力な CPU コア (CPU-M) をそれぞれ 2 個ずつ搭載している。その他、専用プロセッサコアとして、フル HD 対応の動画像コーデック、グラフィックアクセラレータ、画像プロセッサが搭載され、チップ全体で 7 個のプロセッサコアを搭載している。各プロセッサコアは機能

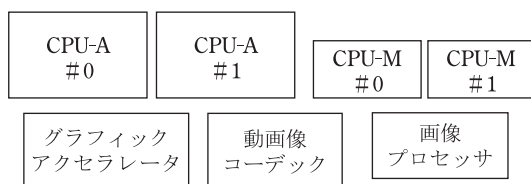


図 11 スマートフォン向けシステム LSI のプロセッサ構成例
4 個の CPU コアと 3 個の専用プロセッサコアが搭載され、機能分散的に様々な機能を実現している。

分散的に協調動作することにより様々な機能を実現する。ビデオを見るときには動画像コーデックが動画像伸張を行い、CPU コアが補助的な制御を行う。また、ゲームを行うときは、三次元グラフィックスの重い処理をグラフィックアクセラレータが担い、それと CPU コアが協調して動作する。このように、汎用の CPU コアだけでは処理しきれない部分を専用プロセッサ化により実現する手法が一般的にとられている。

3.2 ヘテロジニアス並列処理

前節で例示したように最近のシステム LSI では、CPU コアと専用プロセッサコアを複数搭載したヘテロジニアスマルチコア構成で、機能分散的な並列処理を行っている。ここで使われている専用プロセッサコアはハードウェアアクセラレータが主体であるために、MPEG-2 や H. 264 の圧縮・伸張のような標準化された処理を実現する用途が多い。これを更に進化させて柔軟性のあるヘテロジニアス並列処理により、認識処理のような標準化されない、あるいは、発展途上の様々なアルゴリズムを高速かつ低電力で実行しようという試みもある。

図 12 はその具体例となるヘテロジニアスマルチコア LSI の内部構成である⁽¹⁴⁾。この LSI は 45 nm 技術で作られ、121 mm² のチップ上に 8 個の CPU コア (動作周波数: 648 MHz) と、専用プロセッサコアとして 4 個の FE (動作周波数: 324 MHz) と 2 個の MX (動作周波数: 324 MHz) を搭載している。この FE と MX は 2.4 で紹介した多重演算コアであり、ハードウェアアク

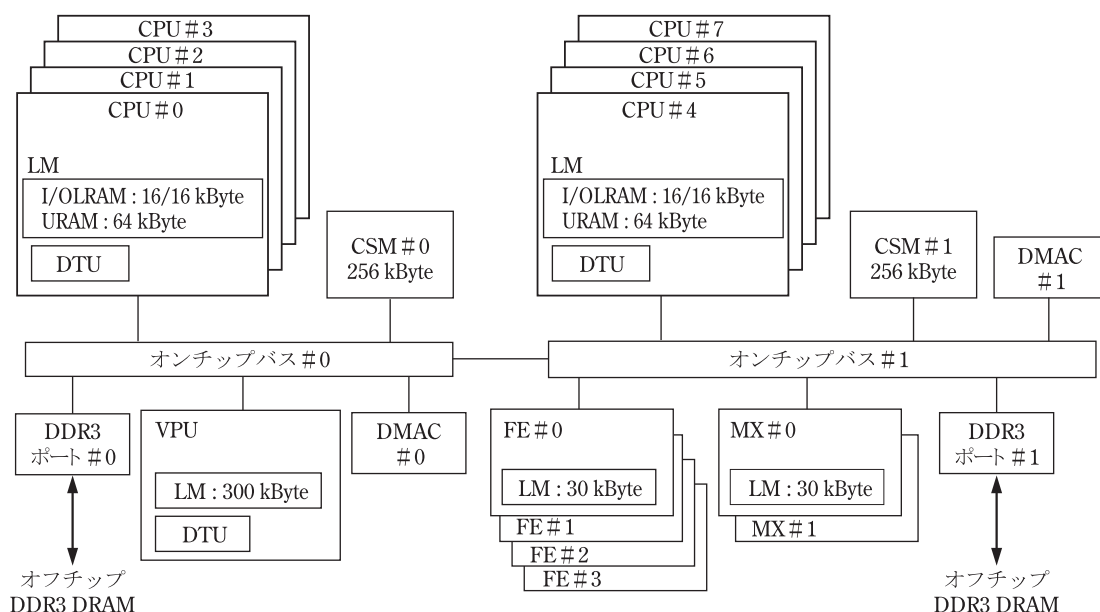


図 12 ヘテロジニアスマルチコア LSI の内部構成
チップ上に 8 個の CPU コア、4 個のダイナミックリコンフィギュラブルコア、2 個の多多重 SIMD コアを搭載し、効率の良いヘテロジニアス並列処理を実現する。

セラレータに比べて柔軟性があり、演算リッチなアルゴリズムを高速かつ低電力に実行できる。一例として、オプティカルフローを用いた動画像認識の試行結果を図13に示す⁽⁵⁾。この例では認識処理の四つのステージの

中で一番処理が重いオプティカルフロー抽出の部分にFEに処理させることにより、大幅な時間の短縮が得られている。

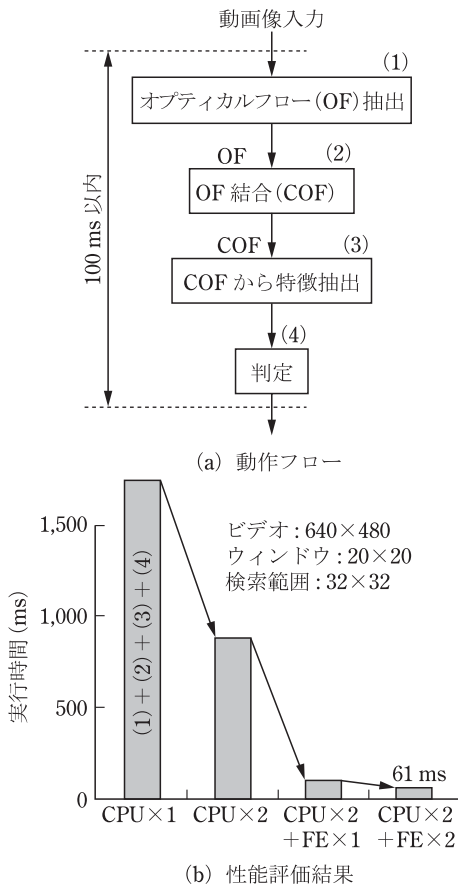


図13 オプティカルフローによる動画像認識 オプティカルフロー抽出をFEに処理させることにより高速化を実現している。

3.3 自動並列化コンパイラ

ヘテロジニアスマルチコア上で並列処理を実現するためにはプログラムをマルチスレッド化して複数のプロセッサコアでそれを並列動作させる必要がある。今後、システムLSIに搭載されるプロセッサコアの数や種類が増えるにつれて、このプログラム並列化の工数は増大する。特に民生機器のように短い期間で開発を行っていく場合、人手によるこの並列化作業は困難であると考えられる。この解決のために自動並列化コンパイラの研究が進められている^{(4), (15)}。

図14はこの検討におけるプログラム自動並列化の処理フローである。2階層のコンパイラ構成になっていて、上位レベルのグローバルコンパイラはプログラムをマクロタスク(MT)と呼ぶ小さなブロックに分解し、MTレベルの並列性を解析する。その後、MTの実行をスケジューリングして、プロセッサコア単位にスレッドを生成する。このスレッド生成時に並列処理を指示するAPI(Application Programming Interface)がソースプログラムに埋め込まれる。プロセッサコアごとに生成されたスレッドは、各プロセッサコアのローカルコンパイラやライブラリによりオブジェクトコードに変換され、チップ全体での並列処理が実行される。

図15はこのコンパイラによって自動並列化されたプログラムの実行例である⁽¹⁶⁾。ヘテロジニアスマルチコアLSIは3.2で紹介したチップを用い、CPUコアとFEを使用して並列処理を行っている。並列化するプログラムはAACの規格に従ったオーディオ信号の圧縮を行っている。自動並列化により、CPUコア一つでの処理時

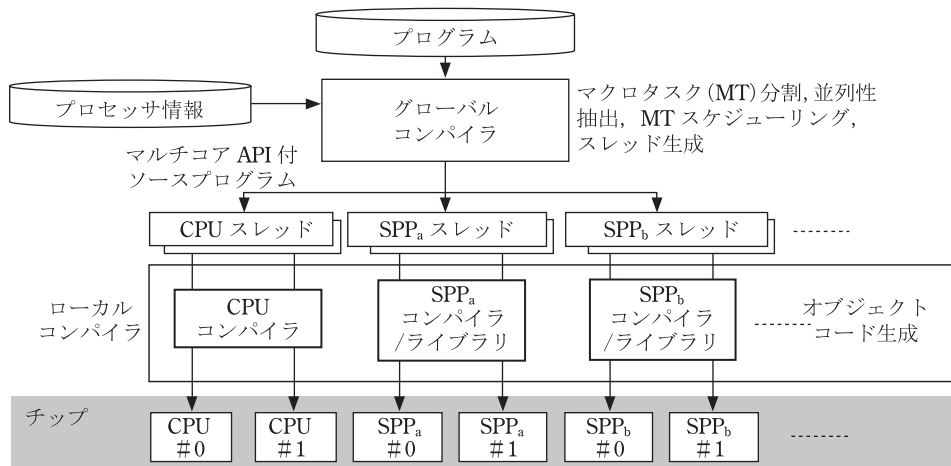


図14 自動並列化コンパイラの処理フロー 上位レベルのグローバルコンパイラで並列性を抽出し、下位レベルのローカルコンパイラでオブジェクトコードに変換し、チップ上で並列実行される。

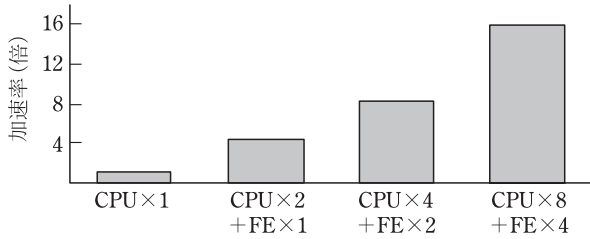


図 15 自動並列化コンパイラによる高速化 AAC エンコーディングのプログラムを自動並列化により CPU コア 8 個 + FE 4 個で 16.1 倍に高速化している。

間に対して、CPU コア 8 個のホモジニアス構成で 6.3 倍、CPU コア 8 個 + FE 4 個のヘテロジニアス構成で 16.1 倍の高速化が達成されている。このようなヘテロジニアスマルチコアにおける自動並列化技術の研究は今後も進展すると考えられる。

4. おわりに

今世紀に入り民生機器のデジタルコンバージェンス化が進んでいる。本稿では、これを支えるシステム LSI のプロセッサ技術を概観した。LSI の微細化により高集積化が進む一方、トランジスタの漏れ電流増大のために従来のような単一のプロセッサでの性能向上は望めなくなりつつある。このため、サーバやパソコンと同様にマルチコア化が進んでいるが、民生用のシステム LSI では特にヘテロジニアスマルチコア化が進展している。多様な機能を低電力かつ小面積で実現するために様々なプロセッサコアが開発され、それと CPU コアとの組合せでデジタルコンバージェンス機能を実現している。一品種当りの生産量が多い民生用の LSI では、このヘテロジニアスマルチコア技術を中核として⁽¹⁷⁾、各分野に特化したシステム LSI の開発が進むと考えられる。今後、ハードウェアのみならず、自動並列化コンパイラを含めたソフトウェア開発環境や更に上位の並列アルゴリズムの研究開発も期待される。

文 献

- (1) H. Maejima, M. Kainaga, and K. Uchiyama, "Design and architecture for low-power/high-speed RISC microprocessor: SuperH," *IEICE Trans. Electron.*, vol. E80-C, no. 12, pp. 1539-1545, Dec. 1997.
- (2) 内山邦男, "組み込み型 RISC プロセッサの技術動向," *信学誌*, vol. 85, no. 2, pp. 110-114, Feb. 2002.
- (3) N. Negroponte, *Being Digital*, Knopf, New York, 1995.

- (4) K. Uchiyama, "Power-efficient heterogeneous parallelism for digital convergence," *Digest of Technical Papers of 2008 Symposium of VLSI circuits*, pp. 6-9, June 2008.
- (5) K. Uchiyama, "Power-efficient heterogeneous multicore for digital convergence," *Proceedings of 10th International Forum on Embedded MPSoC and Multicore*, pp. 339-356, June/July 2010.
- (6) <http://www.arm.com>
- (7) S. Segars, "ARM processor evolution: Bringing high performance to mobile devices," *A symposium for High performance Chips (Hot Chips 23)*, Aug. 2011.
- (8) <http://japan.renesas.com>
- (9) T. Kamei, "SH-X3: Enhanced superH core for low-power multi-processor systems," *Fall Microprocessor Forum*, Oct. 2006.
- (10) K. Iwata, S. Mochizuki, T. Shibayama, F. Izuhara, H. Uede, K. Hosogi, H. Nakata, M. Ehama, T. Kengaku, T. Nakazawa, and H. Watanabe, "A 256 mW Full-HD H. 264 high-profile CODEC featuring dual macroblock-pipeline architecture in 65 nm CMOS," *Digest of Technical Papers of 2008 Symposium of VLSI circuits*, pp. 102-103, June 2008.
- (11) T. Kodama, T. Tsunoda, M. Takada, H. Tanaka, Y. Akita, M. Sato, and M. Ito, "Flexible engine: A dynamic reconfigurable accelerator with high performance and low power consumption," in *Proc. of the IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips IX)*, April 2006.
- (12) H. Noda, M. Nakajima, K. Dosaka, K. Nakata, M. Higashide, O. Yamamoto, K. Mizumoto, T. Tanizaki, T. Gyohten, Y. Okuno, H. Kondo, Y. Shimazu, K. Arimoto, K. Saito, and T. Shimizu, "The design and implementation of the massively parallel processor based on the matrix architecture," *IEEE J. Solid-State Circuits*, vol. 42, no. 1, pp. 183-192, Jan. 2007.
- (13) <http://www.ti.com>
- (14) Y. Yuyama, M. Ito, Y. Kiyoshige, Y. Nitta, S. Matsui, O. Nishii, A. Hasegawa, M. Ishikawa, T. Yamada, J. Miyakoshi, K. Terada, T. Nojiri, M. Satoh, H. Mizuno, K. Uchiyama, Y. Wada, K. Kimura, H. Kasahara, and H. Maejima, "A 45 nm 37.3 GOPS/W heterogeneous multi-core SoC," *ISSCC Dig.*, pp. 100-101, Feb. 2010.
- (15) H. Kasahara, "Homogeneous and heterogeneous multicore/manycore processors, parallelizing compiler and multiplatform API for green computing," *MPSoC2011 (11th International Forum on Embedded MPSoC and Multicore)*, July 2011.
- (16) A. Hayashi, Y. Wada, T. Watanabe, T. Sekiguchi, M. Mase, J. Shirako, K. Kimura, and H. Kasahara, "Parallelizing, compiler framework and API for power reduction and software productivity of real-time heterogeneous multicores," *Lec. Notes Comput. Sci.*, vol. 6548, pp. 184-198, Springer, Feb. 2011.
- (17) K. Uchiyama, F. Arakawa, H. Kasahara, T. Nojiri, H. Noda, Y. Tawara, A. Idehara, K. Iwata, and H. Shikano, *Heterogeneous Multicore Processor Technologies for Embedded Systems*, Springer, 2012.

(平成 24 年 1 月 29 日受付 平成 24 年 2 月 16 日最終受付)



内山 邦男 (正員: フェロー)

昭 53 東工大大学院情報科学修士課程了。同年(株)日立製作所入社。以来、CAD、メインフレーム、マイクロプロセッサの研究に従事。現在、同社理事、研究開発本部技師長。博士(工学)。早大客員教授。市村賞、科学技術長官賞など各受賞。紫綬褒章受章。IEEE フェロー。